



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0023492  
Application Number

출 원 년 월 일 : 2003년 04월 14일  
Date of Application APR 14, 2003

출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0005		
【제출일자】	2003.04.14		
【발명의 명칭】	반도체소자의 게이트전극 형성방법		
【발명의 영문명칭】	Method for forming gate in semiconductor device		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	강성배		
【대리인코드】	9-1999-000101-3		
【포괄위임등록번호】	1999-024436-4		
【발명자】			
【성명의 국문표기】	피승호		
【성명의 영문표기】	PYI, Seung Ho		
【주민등록번호】	660410-1042522		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 아미리 현대3차아파트 301-2004호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	9	항	397,000 원
【합계】	426,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로, 반도체기판상에 게이트절연막, 도핑실리콘층, 텅스텐질화막, 텅스텐과 하드마스크층을 순차적으로 형성한 후 상기 하드마스크층을 패터닝하는 단계; 상기 패터닝된 하드마스크층을 마스크로 하여 상기 텅스텐과 텅스텐질화막을 선택적으로 제거하여 상기 도핑실리콘층의 상면을 노출시키는 단계; 상기 노출된 도핑실리콘층을 포함한 결과물의 상부에 이온주입한 후 상기 노출된 도핑실리콘층을 제거하는 단계; 및 산화공정을 진행하여 상기 잔류하는 도핑실리콘층의 측벽 및 저면에 산화막을 형성하는 단계를 포함하여 구성된다.

**【대표도】**

도 2e

**【명세서】****【발명의 명칭】**

반도체소자의 게이트전극 형성방법{Method for forming gate in semiconductor device}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 반도체소자의 게이트전극 형성방법을 도시한 공정단면도.

도 2a 내지 도 2g는 본 발명에 따른 반도체소자의 게이트전극 형성방법을 도시한 공정별 단면도.

도 3은 도 2e의 이온주입공정시 하드마스크 측면으로 주입된 이온의 분포도.

(도면의 주요부분에 대한 부호설명)

100 : 반도체기판    120 : 게이트산화막

140 : 도핑실리콘층    160 : 텅스텐질화막

180 : 텅스텐    200 : 하드마스크층

220 : 포토레지스트    240 : 게이트전극 재산화막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>      본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로, 보다 상세하게는 2단계로 나누어진 게이트전극 식각공정 사이에 이온주입공정을 진행하여 저온의 게이트전극 재산화공정

에서도 충분한 두께의 재산화막을 형성할 수 있는 반도체소자의 게이트전극 형성방법에 관한 것이다.

- <10> 일반적으로 반도체소자가 집적화 될 수록 게이트전극의 넓이는 더욱 작아진다. 도체의 넓이가 좁아지면 좁아질수록 도체의 저항은 커지는데, 이는 게이트전극에서도 마찬가지이다.
- <11> 최근까지 게이트전극으로는 텅스텐실리사이드(WSix)가 사용되어 왔으며, 그 사용을 연장하기 위해 다양한 시도가 이루어지고 있다.
- <12> 하지만 향후에 모든 소자가 빠른 속도특성을 요구받고 있기 때문에 게이트전극의 저항은 더욱 낮게 조절해야 할 필요가 있다.
- <13> 따라서, 대부분의 소자제조업체에서는 텅스텐실리사이드(WSix)를 대체할 게이트전극 물질로 텅스텐(W)/텅스텐질화막(WN)/도핑실리콘층(Si)의 적층구조가 제시되고 있으며, 이는 대부분의 게이트전극에 적용될 것으로 예견되고 있다.
- <14> 이러한 적층구조에서, 텅스텐(W)과 도핑실리콘층(Si)만을 적층하게 되면 그 계면에서 반응이 일어나 텅스텐실리사이드가 형성되는데, 이러한 계면반응을 방지코자 텅스텐과 도핑실리콘층 사이에 텅스텐질화막(WN)을 삽입하고 있다.
- <15> 하지만 최근 반응억제물질로 삽입된 텅스텐질화막(WN)과 도핑실리콘층(Si)의 계면에도 적은 양의 실리콘질화막이 고온에서 형성되는 것으로 알려져 있다.
- <16> 한편, 게이트전극의 손상된 층을 제거함과 동시에 게이트에지에서의 전기장

집중을 제거하는 종래의 방법을 도 1을 참조하여 살펴보면, 실리콘기판(5)상에 게이트산화막(10)과 게이트전극용 폴리실리콘층(15)과 하드마스크(20)를 적층한 후 이를 식각하여 게이트전극(15)을 형성한다. 그 다음, 식각공정에 의해 노출된 실리콘과 게이트측벽을 일정 두께만큼 산화시켜 게이트전극 재산화막(25)을 형성한다.

<17> 이러한 게이트전극 재산화막으로 인해 상기 게이트전극(15)의 손상된 층은 제거되고 게이트에지에서의 전기장 집중을 제거하게 된다.

<18> 한편, 텅스텐/텅스텐질화막/도핑실리콘층이 적층된 게이트전극(15)에서는 텅스텐의 이상 산화현상 때문에 건식산화공정을 진행할 수 없으므로 수소와 산소의 비율을 일정하게 유지하는 습식산화공정을 1000°C 이상의 고온에서 진행하고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 이러한 고온의 재산화공정이 진행될 때에는 게이트전극용 텅스텐질화막과 도핑실리콘층 간 계면상이 형성되는데, 이를 방지하기 위해 저온에서 재산화공정을 진행하는 경우 충분한 두께의 산화막이 형성되지 않는다는 문제점이 있다.

<20> 따라서, 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 2 단계로 나누어진 게이트전극 식각공정 사이에 이온주입공정을 진행하여 저온의 게이트전극 재산화공정에서 충분한 두께의 재산화막을 형성함으로써 게이트전극용 텅스텐질화막과 도핑실리콘층간 계면상의 형성을 방지하고, 게이트에지에서의 필드집중을 방지할 수 있는 반도체소자의 게이트전극 형성방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위한 본 발명은, 반도체기판상에 게이트절연막, 도핑실리콘층, 텅스텐질화막, 텅스텐과 하드마스크층을 순차적으로 형성한 후 상기 하드마스크층을 패터닝하는 단계; 상기 패터닝된 하드마스크층을 마스크로 하여 상기 텅스텐과 텅스텐질화막을 선택적으로 제거하여 상기 도핑실리콘층의 상면을 노출시키는 단계; 상기 노출된 도핑실리콘층을 포함한 결과물의 상부에 이온주입한 후 상기 노출된 도핑실리콘층을 제거하는 단계; 및 산화공정을 진행하여 상기 잔류하는 도핑실리콘층의 측벽 및 저면에 산화막을 형성하는 단계를 포함하여 구성됨을 특징으로 한다.

<22> (실시예)

<23> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<24> 도 2a 내지 도 2g는 본 발명에 따른 반도체소자의 게이트전극 형성방법을 도시한 공정별 단면도이며, 도 3은 도 2e의 이온주입공정시 하드마스크 측면으로 주입된 이온의 분포도이다.

<25> 먼저, 도 2a에 도시된 바와 같이, 반도체기판(100)상에 게이트산화막(120), 도핑실리콘층(140), 텅스텐질화막(WNx)(160), 텅스텐(W)(180) 및 하드마스크층(200)을 순차적으로 형성한다.

<26> 이때, 상기 하드마스크층(200)은 게이트전극의 패터닝시 마스킹 용도로 또는 콘택형성시 전기적 단락방지 용도로 산화막이나 질화막 또는 그 조합된 막을 이용할 수 있다.

<27> 그 다음, 도 2b에 도시된 바와 같이, 상기 결과물의 상부에 포토레지스트(220)를 형성하고 패터닝한다.

<28> 이어서, 도 2c에 도시된 바와 같이, 상기 패터닝된 포토레지스트(220)를 마스크로 하여 하드마스크층(200)을 건식식각한다.

<29> 그 다음, 도 2d에 도시된 바와 같이, 상기 패터닝된 포토레지스트(220)를 제거한 후 상기 패터닝된 하드마스크층(200)을 마스크로 하여 상기 텅스텐(180)과 상기 텅스텐질화막(160)을 건식식각하여 그 하부의 도핑실리콘층(140)을 노출시킨다.

<30> 이때, 상기 도핑실리콘층(140)은 부분적으로 식각되어도 무방하다.

<31> 이어서, 도 2e에 도시된 바와 같이, 상기 노출된 도핑실리콘층(140)을 포함한 결과물의 상부에 산화가 촉진되며 전기적으로 영향을 주지 않는 Ge등의 이온을 낮은 에너지로 이온주입 한다.

<32> 여기서, 이온주입에너지는 30 내지 200KeV 범위에서 이루어지며, 이온주입각도는 0 내지  $10^\circ$ 이며, 이온주입 투사범위( $R_p$ )는 잔류하는 도핑실리콘층 두께의  $\pm 500\text{ \AA}$ 이다.

<33> 즉, 이온주입에너지가 30KeV 인 경우 이온주입 투사범위( $R_p$ )는 300  $\text{\AA}$ 이며, 200KeV인 경우 이온주입 투사범위( $R_p$ )는 1500  $\text{\AA}$ 이하이다.

<34> 이때, 상기 주입된 이온은 상기 도핑실리콘층(140)에 수직하게 입사하지만, 도 3에 도시된 바와 같이 하드마스크(200)의 측면으로도 이온주입된다.

<35> 또한, 상기 이온주입공정에 의해 주입된 이온은 상기 하드마스크(200)의 측면으로 까지 이온주입되어 상기 도핑실리콘층(140)의 측면과 깊이 방향으로 이온주입된다.

<36> 이로써 상기 이온주입된 도핑실리콘층(140)에는 후속의 게이트전극 재산화공정의 저온 산화에 의해서도 충분한 두께의 게이트전극 재산화막이 형성될 수 있다.

<37> 한편, 상기 이온주입공정으로 인해 소오스/드레인영역이 형성될 실리콘기판(100)에도 이온이 주입되는데, 이때 상기 주입된 이온이 질량이 큰 경우 상기 실리콘기판(100) 표면영역의 비정질화를 용이하게 하여 얇은 접합영역을 용이하게 형성하게 된다.

<38> 그 다음, 도 2f에 도시된 바와 같이, 상기 노출된 도핑실리콘층(140)을 다시 건식식각하여 최종적으로 패터닝을 완료한다.

<39> 이어서, 도 2g에 도시된 바와 같이, 상기 텅스텐(180)과 상기 텅스텐질화막(160)은 산화시키지 않으면서 상기 도핑실리콘층(140)을 산화시키는 습식분위기에서 게이트전극 재산화공정을 진행하여 게이트전극 재산화막(240)을 형성한다.

<40> 이때, 상기 게이트전극 재산화공정은 상기 텅스텐질화막(160)과 상기 도핑실리콘층(140)의 계면에 계면상을 발생시키지 않는 1000°C이하의 저온에서 진행한다.

### 【발명의 효과】

<41> 상술한 바와 같이, 본 발명은 게이트전극 재산화공정을 저온에서 진행함으로써 게이트전극용으로 적층된 텅스테질화막과 도핑실리콘층 계면의 계면상으로 인해 시그널의 오류가 발생하는 문제를 해결할 수 있다는 효과가 있다.

<42> 또한, 게이트전극용 도핑실리콘층에도 이온이 주입됨으로써 저온의 게이트전극 재산화공정을 진행하더라도 충분한 두께의 게이트산화막을 형성할 수 있어 게이트에지에서의 필드집중을 해결할 수 있다는 효과가 있다.

<43> 이로 인해 단채널효과와 핫 캐리어에 의한 게이트산화막의 열화현상을 방지할 수 있어 소자의 신뢰성을 향상시킬 수 있다는 효과가 있다.

<44> 또한, 주입되는 이온의 에너지를 조절함으로써 실리콘기판에도 이온주입이 되며, 주입된 이온의 질량이 큰 경우 실리콘기판의 표면이 소오스/드레인영역을 형성하기 위한 이온주입 이전에 비정질화됨으로써 얇은 접합영역을 얻기에 유리하다는 효과가 있다.

<45> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판상에 게이트절연막, 도핑실리콘층, 텅스텐질화막, 텅스텐과 하드마스크층을 순차적으로 형성한 후 상기 하드마스크층을 패터닝하는 단계;  
상기 패터닝된 하드마스크층을 마스크로 하여 상기 텅스텐과 텅스텐질화막을 선택적으로 제거하여 상기 도핑실리콘층의 상면을 노출시키는 단계;  
상기 노출된 도핑실리콘층을 포함한 결과물의 상부에 이온주입한 후 상기 노출된 도핑실리콘층을 제거하는 단계; 및

산화공정을 진행하여 상기 잔류하는 도핑실리콘층의 측벽 및 저면에 산화막을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 2】**

제 1 항에 있어서, 상기 텅스텐과 텅스텐질화막은 건식식각으로 제거하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 3】**

제 1 항에 있어서, 상기 이온주입은 30 내지 200 KeV의 범위로 진행하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 4】**

제 3 항에 있어서, 상기 이온주입은 30KeV인 경우 이온주입 투사범위( $R_p$ )는 300 Å이며, 상기 이온주입이 200KeV인 경우 이온주입 투사범위( $R_p$ )는 1500 Å이하인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 5】**

제 1 항에 있어서, 상기 이온은 Ge이 포함된 가스를 이용하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 6】**

제 1 항에 있어서, 상기 이온주입시 상기 하드마스크층의 측면으로 이온주입하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 7】**

제 1 항에 있어서, 상기 이온주입시 이온주입각도는 0 내지  $10^{\circ}$ 사이인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 8】**

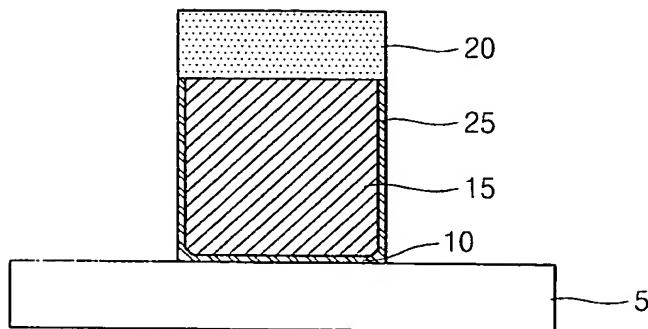
제 1 항에 있어서, 상기 이온주입시 투사빔위는 상기 잔류하는 도핑실리콘층 두께의  $\pm 500\text{ \AA}$ 인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

**【청구항 9】**

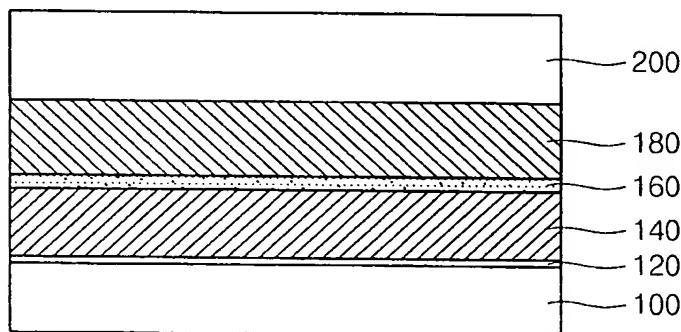
제 1 항에 있어서, 상기 산화공정은  $1000^{\circ}\text{C}$ 이하의 온도에서 수행하는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

## 【도면】

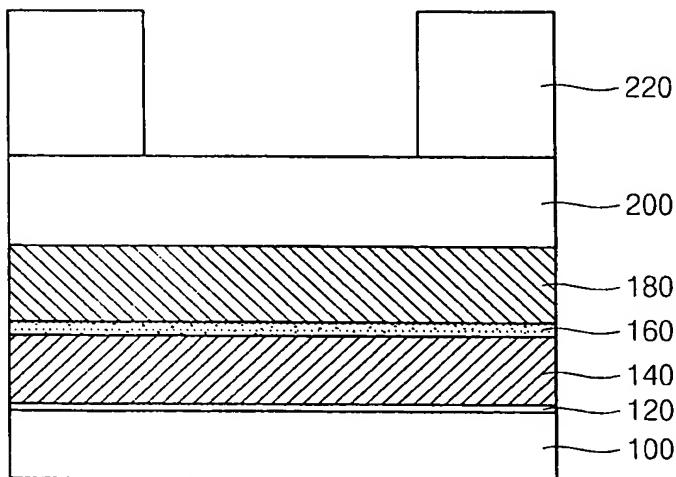
【도 1】



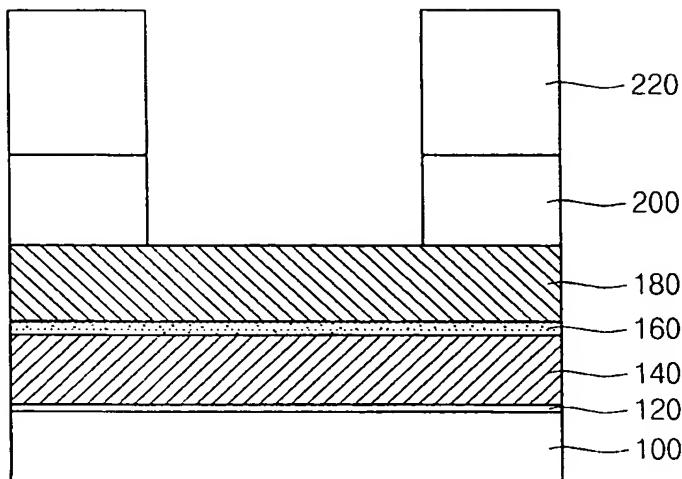
【도 2a】



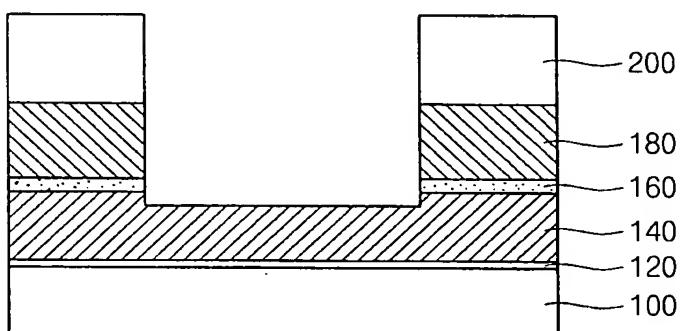
【도 2b】



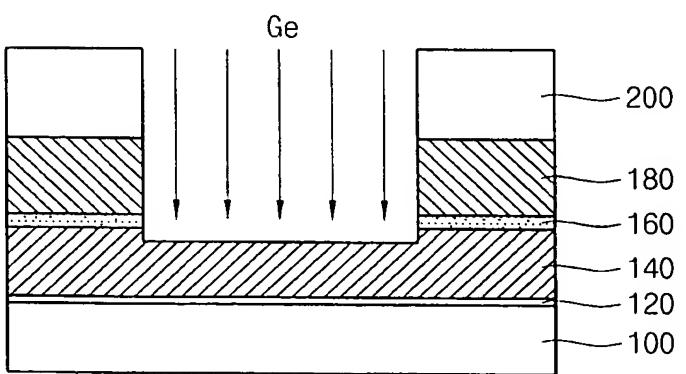
【도 2c】



【도 2d】



【도 2e】

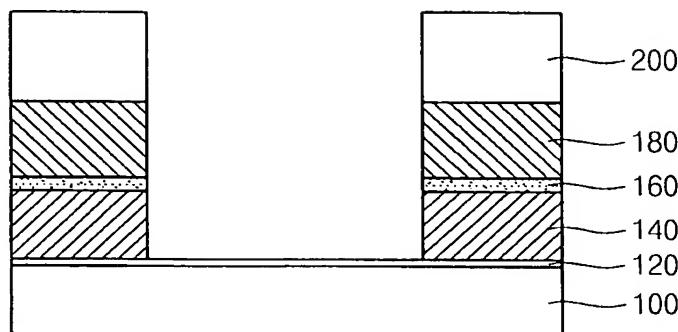




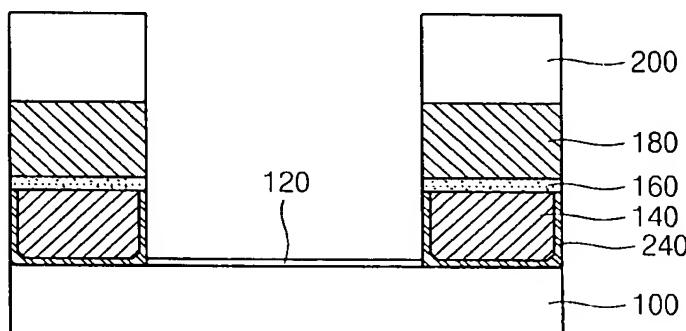
1020030023492

출력 일자: 2003/10/23

【도 2f】



【도 2g】



【도 3】

